

中原大學半導體材料與光電檢測碩士學位學程

碩士生研究進度規劃表(範例)

姓 名	學 號	本人簽名處	指導教授簽名處

說明：

- 一、為增進本碩士學程研究生之計畫管理能力，請碩一學生規劃個人碩二期間之論文研究進度，以提供指導教授進行考核。本表請碩一學生於升碩二的開學第一個月繳交給碩士學程辦公室。
- 二、本表若不敷使用請自行加頁，可至本碩士學程網頁/課程資訊/相關檔案下載此表及參考範例。

目 前 進 度

由於攜帶型電子產品與無線通訊系統的快速發展，積體電路中整合之元件數量持續增加，使得整體功率消耗隨設計複雜度提升而顯著成長。因此，如何有效降低電路功率消耗，已成為半導體領域的重要研究議題之一。本研究聚焦於降低電路之動態功率消耗 (Dynamic Power Consumption)。鑒於數位積體電路中需使用大量正反器作為具記憶功能之循序邏輯元件，透過減少正反器數量為降低動態功率之有效方法之一。此外，藉由正反器之合併與資源共享機制，不僅可降低功率消耗，亦可有效縮減晶片面積。進一步而言，本研究不僅針對單一位元 (single-bit) 正反器之合併，亦探討多位元 (multi-bit) 正反器於特定條件下之整合方法，以提升整體電路效能與設計效率。目前研究進度為：以電路之 netlist 作為輸入，並考量其連線與設計限制條件，開發一套演算法與軟體工具，在滿足限制條件下進行正反器之合併與優化配置，以達成共享時脈訊號 (clock sharing)，進而降低動態功率消耗並有效減少晶片總面積。

未來工作項目及預期成果

- 工作一：規劃並制定本研究軟體之整體設計流程與架構。
- 工作二：設計解決電路最佳化問題之演算法，以提升正反器合併與配置效率。
- 工作三：建立適用於電路表示與運算之資料結構，以利後續演算法實作。
- 工作四：依據問題需求進行整體設計環境建構，包括電路連線關係、連線限制條件及晶片面積相關參數設定。
- 工作五：依據所提出之演算法完成程式開發與實作。
- 工作六：建立測試資料與驗證機制，針對邊界條件與極端情況進行測試，以確保系統穩定性並進一步優化效能。
- 工作七：完成軟體系統開發，並將研究成果投稿至半導體或積體電路設計相關領域之研討會。
- 工作八：彙整研究成果並撰寫碩士論文。

計 畫 管 理 時 程

工作項目	2026						2027					
	Jul.	Aug.	Sep.	Oct.	Nov.	Dec.	Jan.	Feb.	Mar.	Apr.	May.	Jun.
工作一		■	■									
工作二		■	■	■	■							
工作三			■	■	■							
工作四				■	■							
工作五					■	■	■	■				
工作六								■	■			
工作七									■	■		
工作八											■	■
....												
預定累積進度百分比%		10	20	40	45	50	65	80	90	90	95	100